

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 4 日 (04.08.2005)

PCT

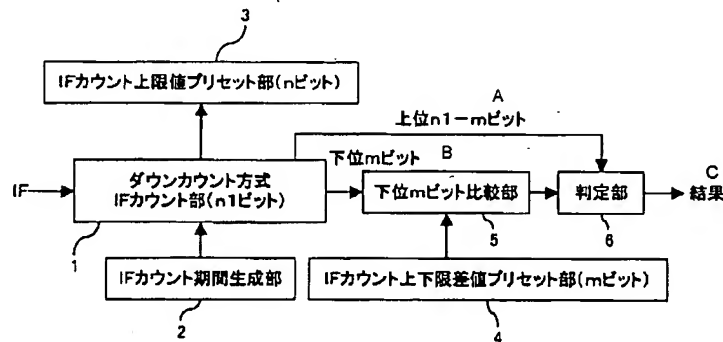
(10) 国際公開番号
WO 2005/071839 A1

- (51) 国際特許分類: H03K 21/40 2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP).
- (21) 国際出願番号: PCT/JP2005/000151
- (22) 国際出願日: 2005 年 1 月 7 日 (07.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-017243 2004 年 1 月 26 日 (26.01.2004) JP
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 後藤 栄孝 (GOTO, Shigetaka) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP).
- (71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHO KKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町
- (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).

[続葉有]

(54) Title: IF COUNTING METHOD

(54) 発明の名称: IF カウント方式



- A... UPPER n1-m BITS
B... LOWER m BITS
C... RESULT
3... IF COUNT UPPER LIMIT VALUE PRESET UNIT (n BITS)
1... DOWN-COUNT TYPE IF COUNT UNIT (n1 BITS)
2... IF COUNT PERIOD GENERATION UNIT
5... LOWER m-BIT COMPARATOR
6... JUDGMENT UNIT
4... IF COUNT UPPER/LOWER LIMIT DIFFERENCE VALUE PRESET UNIT (mBITS)

(57) Abstract: There is provided an IF counting method for realizing an IF counter having a smaller circuit configuration. The IF counter includes: a down-count type IF counting unit (1) for counting IF signals which have been divided; an IF counting period generation unit (2) for generating a period for counting the IF signals; an IF count upper limit value preset unit (3) for giving an initial value of a count start; a lower m-bit comparator (5) for comparing the information on the lower m bits of the count value to the information set in the upper/lower limit value difference preset unit; and a judgment unit (6) for judging whether the count value is within a predetermined range according to the information on the upper n+1-m bits of the count value and the information on the comparison result by the lower m-bit comparator (5).

(57) 要約: より小さな回路構成によってIFカウンタを実現するIFカウント方式を提供するために、IFカウンタを、分周されたIF信号をカウントするダウンカウント方式IFカウント部1と、IF信号をカウントする期間を生成するIFカウン

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ト期間生成部2と、カウント開始の初期値を与える1Fカウント上限値プリセット部3と、カウント値の下位mビットについての情報と1Fカウント上下限値差プリセット部に設定された情報とを比較する下位mビット比較部5と、カウント値の上位n+1-mビットについての情報と下位mビット比較器5の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部6とによって構成する。

明 細 書

IFカウント方式

技術分野

- [0001] 本発明は、ラジオの受信機に使用されるIFカウンタにおけるIFカウント方式に関する。

背景技術

- [0002] ラジオの受信機において、従来からIF (Intermediate Frequency) をカウントするために使用されているIFカウンタは、例えば図1Aに示すように、nビットで構成されるIFカウント部15と、IFカウント部15に対してIFカウント期間を生成するIFカウント期間生成部16と、nビットで構成されるIFカウント上限値を設定するためのIFカウント上限値プリセット部17と、nビットで構成されるIFカウント下限値を設定するためのIFカウント下限値プリセット部18と、IFカウント部15によってカウントされたカウント値とIFカウント上限値プリセット部17の設定値とを比較するためにnビットで構成される上限値比較部19と、IFカウント部15によってカウントされたカウント値とIFカウント下限値プリセット部18の設定値とを比較するための下限値比較部20と、上限値比較部19による比較結果と下限値比較部20による比較結果とからIFカウント部15によるカウント値が所定の範囲内にあるかを判断する判定部21とによって構成される。
- [0003] IFカウント部15は、リミッタ回路等を通されたIF信号が入力されると、IFカウント期間生成部16で生成された所定の期間内に入力されるIF信号をカウントする。
- IFカウント部15によってカウントされたカウント値は、上限値比較部19及び下限値比較部20に入力される。上限値比較部19は、入力されたカウント値とIFカウント上限値プリセット部17に予め設定されているIFカウント上限値とを比較し、例えば「カウント値 > IFカウント上限値」の場合に比較結果0を出力し、「カウント値 ≤ IFカウント下限値」の場合に比較結果1を出力する。
- [0004] 同様に、下限値比較部20は、入力されたカウント値とIFカウント下限値プリセット部18に予め設定されているIFカウント下限値とを比較し、例えば「カウント値 < IFカウント下限値」の場合に比較結果0を出力し、「カウント値 ≥ IFカウント下限値」の場合に

比較結果1を出力する。

[0005] 上限値比較部19及び下限値比較部20による比較結果は、判定部21に入力されカウント値がIFカウント上限値からIFカウント下限値の範囲内であるかを判定する。例えば、上限値比較部19の比較結果と下限値比較部20の比較結果の論理積を判定部21で行なうことによって、判定部21の出力が1の場合にカウント値がIFカウント値上限値からIFカウント下限値の範囲内にあることが検出される。

[0006] 特許文献1は、自動的にFM・RDS隣接局の放送局名を最初に自動検知した放送局との比較を行い、その放送局名に基づき自動変更することが可能なFMラジオ受信機について開示したものであり、所望の周波数についてオートスキャンする場合の周波数の比較手段について開示されている。

[0007] 特許文献2は、IFパルス数のカウントと並行して復調回路によって復調されたデータの1/0の割合をカウントすることによって、一定時間内でのIFパルス数の誤差量を測定するIFカウント方式について開示されている。この方法では、測定した誤差量を用いて補正回路によりIFカウント数を修正してIF周波数を測定する周波数カウント回路とし、変調によるカウント誤差の影響を受けないで正確なIF周波数値を得ることが可能となる。

特許文献1:特開平10-341138号公報

特許文献2:特開平11-234353号公報

[0008] 以上に説明したように、例えば図1Aに示した従来の回路では回路構成が大規模になってしまうという問題がある。特に、ラジオ受信機を1チップで実現するためには、従来以上の回路のスリム化が要求される。

発明の開示

[0009] 本発明は、上述した問題に鑑みてなされたものであり、その解決しようとする課題は、従来より小さな回路構成によってIFカウンタを実現するIFカウント方式を提供することである。

[0010] 請求項1記載の発明は、所定の期間についてIF信号をカウントするIFカウンタのカウント方式であって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記IF信号をカウントする期間を生成するIFカウント期間生成

処理と、該IFカウント期間生成処理によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント処理と、所望のカウント値の上限値と下限値との差の情報を与えるIFカウント上下限值差プリセット処理と、該IFカウント上下限值差プリセット処理に与えられたIFカウント上下限值差の情報と前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第一の情報とを比較する比較処理と、前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第二の情報と前記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定処理とを有することを特徴とするIFカウント方式である。

- [0011] 請求項1記載の発明によると、前記ダウンカウント方式IFカウント処理によって前記上限値プリセット処理で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため最上位ビットが1となり判定処理によって前記IF信号は前記所望の上限値より大きいと判定され、前記比較処理による比較結果が前記IFカウント上下限值差プリセット処理で設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て0である場合には、前記判定処理によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定処理によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、前記上限値プリセット処理及び前記IFカウント上下限值差プリセット処理を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、前記上下限值差プリセット処理で設定される前記所望の下限値を構成するビット数や比較処理において比較する情報を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

- [0012] 請求項2記載の発明は、 $n > m$ の関係を有する1以上の整数 m 、 n において、前記第一の情報は前記ダウンカウント方式IFカウント処理による $n+1$ ビットで構成されるカウント情報の下位 m ビットの情報であり、前記第二の情報は前記カウント情報の上位 $n+1-m$ ビットであることを特徴とする請求項1に記載のIFカウント方式である。

- [0013] 請求項2に記載の発明によると、請求項1と同様の効果を奏し、前記ダウンカウント方式IFカウント処理によってカウントされた前記IF信号のカウント値の上位 $n+1-m$ ビットの情報の最上位ビットが1の場合には、IF信号が所望の上限値より大きいと判断し、ダウンカウント方式IFカウント処理でカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報の上位 $n+1-m$ ビットが全て0、かつダウンカウント方式IFカウント処理によってカウントされたIF信号のカウント値の下位 m ビットの値がIFカウント上下限值差プリセット処理で設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判断し、ダウンカウント方式IFカウント処理によってカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報の上位 $n+1-m$ ビットが全て0でない場合には、所望の下限値より小さいと判断することが可能となる効果を奏する。
- [0014] 請求項3記載の発明は、前記IF信号は、分周比 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ のいずれか1つを選択的に使用して分周されたIF信号であることを特徴とする請求項1に記載のIFカウント方式である。
- [0015] 請求項3に記載の発明によると、請求項1と同様の効果に加えて、前記IF信号の周波数が高い場合であっても分周比を変更することによってより高周波のIF信号をカウントすることが可能となる効果を奏する。
- [0016] 請求項4記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、前記IF信号をカウントする期間を生成するIFカウント期間生成処理と、該IFカウント期間生成処理によって生成された期間内に前記上限値プリセット処理で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント処理と、前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウント方式である。
- [0017] 請求項4記載の発明によると、前記ダウンカウント方式IFカウント処理によって前記上限値プリセット処理で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが1となり判

定処理によって前記IF信号は前記所望の上限値より大きいと判定され、前記第二の情報を構成するビットが全て0である場合には、前記判定処理によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定処理によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、前記上限値プリセット処理で設定する上限値を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

[0018] 請求項5記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記IF信号をカウントする期間を生成するIFカウント期間生成部と、該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、所望のカウント値の上限値と下限値との差の情報を与えるIFカウント上下限值差プリセット部と、該IFカウント上下限值差プリセット部に設定された情報と前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報とを比較する比較部と、前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第二の情報と前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタである。

[0019] 請求項5記載の発明によると、前記ダウンカウント方式IFカウント部によって前記上限値プリセット部で設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため最上位ビットが1となり判定部によって前記IF信号は前記所望の上限値より大きいと判定され、前記比較部での比較結果が前記IFカウント上下限值差プリセット部に設定された値が前記第一の情報に基づく値以上で、かつ前記第二の情報を構成するビットが全て0である場合には、前記判定部によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定部によって前記IF信

号は前記所望の下限值より小さいと判定される作用によって、請求項1と同様の効果を奏し、前記上限値プリセット部及び前記IFカウント上下限值差プリセット部に予め上限値を設定することによってIF信号が所定の範囲にあるかを判定することが可能となり、前記上下限值差プリセット部を構成するビット数や比較部を構成するビット数を小さくすることが可能となり、回路構成を小さくする効果を奏する。

[0020] 請求項6記載の発明は、所定の期間についてIF信号をカウントするIFカウンタであって、カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、前記IF信号をカウントする期間を生成するIFカウント期間生成部と、該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタである。

[0021] 請求項6記載の発明によると、前記ダウンカウント方式IFカウント部によって前記上限値プリセット部に設定された値から前記IF信号に応じてデクリメント処理を行なうことで、前記IF信号が前記上限値より大きい場合には0までカウントされてなおデクリメント処理が行なわれるため前記第一の情報を構成する最上位ビットが1となり判定部によって前記IF信号が前記所望の上限値より大きいと判定され、前記第二の情報を構成するビットが全て0である場合には、前記判定部によって前記IF信号は前記所望の上限値及び下限値の範囲内にあると判定され、さらに、前記第二の情報を構成するビットが全て0でない場合には、前記判定部によって前記IF信号は前記所望の下限値より小さいと判定される作用によって、請求項4と同様の効果を奏し、前記上限値プリセット部で設定する上限値を予め設定することでIF信号が所定の範囲にあるかを判定することが可能となり、下限値についてのプリセット処理を要しないため回路構成を小さくする効果を奏する。

図面の簡単な説明

[0022] [図1A]従来例を示す機能ブロック図である。

[図1B]本発明の第一の実施形態を示す機能ブロック図である。

[図2]本発明の第一の実施形態の主要部を示す回路図である。

[図3]図2に示す回路によって出力される主要部の波形を示す図である。

[図4]本発明の第二の実施形態を示す機能ブロック図である。

発明を実施するための最良の形態

[0023] 以下、本発明の実施形態について図1Bから図4に基づいて説明する。

図1Bは、本発明の第一の実施形態の機能ブロック図である。

本実施形態に係るIFカウンタは、分周されたIF信号をカウントするダウンカウント方式IFカウント部1と、ダウンカウント方式IFカウント部1でIF信号をカウントする期間を生成するIFカウント期間生成部2と、ダウンカウント方式IFカウント部1にカウントを開始する初期値を与えるIFカウント上限値プリセット部3と、ダウンカウント方式IFカウント部1でカウントされたカウント値の下位 m ビットについての情報とIFカウント上下限值差プリセット部に予め設定された情報とを比較する下位 m ビット比較部5と、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位 $n+1-m$ ビットについての情報と下位 m ビット比較器5の比較結果についての情報とからカウント値が所定の範囲内にあるかを判定する判定部6とを有する。また、本実施形態に係るIFカウンタは、 p チャンネルと n チャンネルMOSTランジスタを製造できるCMOSプロセスにより半導体回路基盤上に成形される。

[0024] ダウンカウント方式IFカウント部1は $n+1$ ビットで構成されるデータのカウン機能有する。IFカウント上限値プリセット部3に予め設定された n ビットで構成されるデータを初期値として、IFカウント期間生成部2によって生成される所定の期間内について、例えば1ずつデクリメント処理を行なってIF信号をカウントする。

[0025] IFカウント期間生成部2は、ダウンカウント方式IFカウント部1がIF信号をカウントする期間を生成する。すなわち、ダウンカウント方式IFカウント部1へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式IFカウント部1に対してリセット信号を送る。

[0026] IFカウント上限値プリセット部3には、 n ビットで構成されるIFカウント値の上限値が予め設定され、ダウンカウント方式IFカウント部1に対してカウント開始時の初期値を与える。

- [0027] IFカウント上下限值差プリセット部4には、 m ビットで構成されるIFカウント値の上限値と下限値との差の値が予め設定され、ダウンカウント方式IFカウント部1でカウントされた $n+1$ ビットで構成されるカウント値の下位 m ビットのデータと比較するために使用される。
- [0028] 下位 m ビット比較部5は、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の下位 m ビットの情報とIFカウント上限値プリセット部4に設定されたIFカウント値の上下限值差の情報とを入力として比較し比較結果を判定部6へ出力する。
- [0029] 判定部6は、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報と下位 m ビット比較部5の比較結果の情報とからIF信号のカウント値がIFカウント上限値プリセット部3で設定された上限値とIFカウント上限値プリセット部3及びIFカウント上下限值差プリセット部4で設定された値に基づく下限値との範囲にあるかを判定し結果を出力する。すなわち、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報の最上位ビットが1の場合には、IF信号が所望の上限値より大きいと判断し、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報の上位 $n+1-m$ ビットが全て0、かつダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の下位 m ビットの値がIFカウント上下限值差プリセット部4に設定された値以下の場合には、所望の上限値及び下限値の範囲内であると判断し、ダウンカウント方式IFカウント部1でカウントされたIF信号のカウント値の上位 $n+1-m$ ビットの情報の上位 $n+1-m$ ビットが全て0でない場合には、所望の下限値より小さいと判断する。以上の構成にすることによって、例えば、従来の回路構成では n ビットで構成される比較部(図1Aの上限値比較部19や下限値比較部20)やIFカウント下限値プリセット部20が必要とされたが、本発明の実施例では $n > m$ の関係にある m ビットで構成される下位 m ビット比較部5やIFカウント上下限值差プリセット部4を用いることによって各構成要素が少ないビット数で構成されるため全体として回路規模を小さくすることが可能となる。
- [0030] したがって、図1Aに示す n ビットで構成されるIFカウント下限値プリセット部18や下限値比較部20等を用いることなく所望の上限値及び下限値にIF信号の周波数があ

るかを判定することが可能となり、回路構成を従来に比べて小さくすることが可能となる。

[0031] 図2は、本発明の第一の実施形態の主要部を示す回路図である。

本実施例で使用するIFカウンタは、分周されたIF信号をカウントするための12ビットダウンカウンタ7と、12ビットダウンカウンタによってカウントされたカウント値の下位7ビットの値と信号線CPから得る図示しない例えばDIP-SWITCHやレジスタ等で構成されるIFカウント上下限值差プリセット部に予め設定されている値とを比較するための7ビットコンパレータ8と、12ビットダウンカウンタによってカウントされたカウント値の上位5ビットの全ビットが"0"かを判定するためのアンド回路9と、7ビットコンパレータ8での比較結果とアンド回路9での比較結果との論理積をとるためのアンド回路10と、アンド回路10による出力の反転ビットと12ビットダウンカウンタによってカウントされた値の最上位ビット(12ビット)の反転ビットとの論理積をとるためのアンド回路11と、IF信号が図示しない例えばDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部及びIFカウント上下限值差プリセット部に基づいて決定される上限値と下限値との間にあるかの判定結果を出力するための出力レジスタ13と、出力レジスタ13から出力する信号を制御するためのRSフリップフロップ12とを少なくとも備えている。

[0032] 12ビットダウンカウンタ7は、図1Bに示したダウンカウント方式IFカウント部1に対応する。12ビットダウンカウンタ7には、図示しない例えばDIP-SWITCHやレジスタ等で構成される11ビットのIFカウント上限値プリセット部に予め設定されたデータの信号Dと、カウント対象であるIF信号が図示しないリミッタ回路を介しさらに図示しない分周器によって分周されたIF信号CKSと、リセット信号であるRSTとが入力される。

[0033] リセット信号RSTが入力されると図示しない例えばDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定されているデータが信号Dを介して12ビットダウンカウンタ7にセットされる。12ビットダウンカウンタ7は、上記セットされたIFカウント上限値を初期値としてIF信号CKSに従ってダウンカウントを行なう。

[0034] ここで、上記分周器での分周比は例えば1/2、1/4、1/8、1/16、1/36等を選択的に使用することができ、タイムベースは必要に応じて4mS〜32mS程度となる

ように設定する。

- [0035] 7ビットコンパレータ8は、図1Bに示した下位mビット比較器に対応する。7ビットコンパレータ8には、図示しないDIP-SWITCHやレジスタ等で構成される7ビットのIFカウンタ上下限值差プリセットに予め設定されたデータの信号CPと12ビットダウンカウンタ7の下位7ビットのデータQ[6:0]とが入力され、信号Q[6:0] < 信号CPの場合に出力信号CLTDとして"1"を出力する。
- [0036] アンド回路9〜11は、図1Bに示す判定部6に対応する。アンド回路9は、12ビットダウンカウンタ7の上位5ビットのデータQ[11:7]が入力され各ビットが全て"0"の場合に出力信号UD0として"1"を出力する。アンド回路10及び11に対して、7ビットコンパレータ8からの出力信号CLTD、アンド回路9からの出力信号UD0及び12ビットダウンカウンタ7の最上位ビットのデータQ[11]が入力されることによって、信号Q[11]が"1"の場合には出力信号JUXとして"1"が出力され(図3に示す(3)の区間)、信号CLTDが"1"かつ信号UD0が"1"の場合には出力信号JEXとして"1"が出力され(図3に示す(2)の区間)、信号JUXが"0"かつ信号JEXが"0"の場合には出力信号JLXとして"1"が出力される(図3に示す(1)の区間)。
- [0037] RSフリップフロップ12への入力信号である入力信号J_SRは、図示しないIFカウンタ期間生成回路から出力される信号であり、リセット信号RSTに同期してカウンタ期間の開始を指示する信号である。また、入力信号IF_LAは、図示しないIFカウンタ期間生成回路から出力される信号であり、タイムベース信号TBXに同期してカウンタ期間の終了を指示する信号である。
- [0038] 信号IF_LAに"1"が入力され、かつ信号J_SRに"0"入力される(すなわち、図示しないIFカウンタ期間生成回路で生成されるIFカウンタ期間を示す信号TBXがOFFとなり、タイムベース期間の終了を示す信号IF_LAがONとなる)と出力信号QNに"1"が出力される。出力レジスタ13は、入力信号QNから"1"が入力されると信号JEX、JLX、JUXをそれぞれ出力信号JE、JL、LUとして出力する。
- [0039] 以上により、IF信号CKSが図示しないDIP-SWITCHやレジスタ等で構成されるIFカウンタ上限値プリセット部に設定された上限値より大きい場合には出力信号(JE, JL, LU)が(0, 0, 1)となり、上限値とIFカウンタ上下限值差プリセット部及びIFカウン

ト上限値プリセット部に基づく下限値との間にある場合には出力信号(JE, JL, JU)が(1, 0, 0)となり、下限値以下の場合には出力信号(JE, JL, JU)が(0, 1, 0)となる。

[0040] 図3は、図2に示す回路によって出力される主要部の波形を示す図である。

信号RSTに同期してRSフリップフロップ12への入力信号J_SRがONとなることにより出力レジスタ13がリセットされる。さらに、IFカウント期間生成回路によってIFカウント期間(タイムベース期間)であることを示す信号TBXがON状態となり、信号Dから入力されるDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された値を初期値として12ビットダウンカウンタ7によるダウンカウントが開始される。

[0041] 同図は、信号TBXが同図内に示す区間(1)内でOFFとなる場合を示している。すなわち、信号TBXがOFFとなるとRSフリップフロップ12への入力信号IF_LAがONとなり区間(1)での信号JEX、JLX、JUXの状態が出力レジスタ13を介して信号JE、JL、JUとして出力される(この場合の出力信号(JE, JL, JU)は(0, 1, 0)となる)。

[0042] 図4は、本発明の第二の実施形態を示す機能ブロック図である。

本実施例に係るIFカウンタは、 $n+1$ ビットで構成されるダウンカウント方式IFカウント部1と、ダウンカウント方式IFカウント部1に対してIFカウント期間を生成するIFカウント期間生成部2と、 n ビットで構成されるIFカウント上限値を設定するためのIFカウント上限値プリセット部3と、ダウンカウント方式IFカウント部1によってカウントされたカウント値がが所定の範囲内にあるかを判断する判定部14とによって構成される。

[0043] ダウンカウント方式IFカウント部1は $n+1$ ビットで構成されるデータのカウン機能有する。IFカウント上限値プリセット部3に予め設定された n ビットで構成されるデータを初期値として、IFカウント期間生成部2によって生成される所定の期間内について、例えば1ずつデクリメント処理を行なってIF信号をカウントする。

[0044] IFカウント期間生成部2は、ダウンカウント方式IFカウント部1がIF信号をカウントする期間を生成する。すなわち、ダウンカウント方式IFカウント部1へ入力されるクロック信号を監視し、前記生成された所定の期間を経過するとダウンカウント方式IFカウント部1に対してリセット信号を送る。

[0045] 判定部14は、ダウンカウント方式IFカウント部1でカウントしたカウント値を入力とし

て、カウント値が所定の上限値及び下限値の範囲内にあるかを判定する。ここで、所定の上限値はIFカウント上限値プリセット部3に予め設定される値であり、下限値は $n > m$ の関係を満たす m ビットのデータで与えられる。

[0046] ダウンカウント方式IFカウント部1でカウントされたカウント値の最上位ビット($n+1$ ビット)が"1"の場合は、IFカウント値 $>$ IFカウント上限値であると判定し、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位 $n+1-m$ ビットが全て"0"である場合には、IFカウント下限値 \leq IFカウント値 \leq IFカウント上限値であると判定する。さらに、ダウンカウント方式IFカウント部1でカウントされたカウント値の上位 $n+1-m$ ビットが全て"0"でない場合には、IFカウント値 $<$ IFカウント下限値であると判定する。

[0047] 以上の構成にすることによって、さらに回路規模を小さくすることが可能となる。

本実施例は、図2に示す回路図において7ビットコンパレータ8及びアンド回路10を取り除いた回路を使用することによって実現される(従って信号CP及び信号Q[6:0]は使用しない)。すなわち、アンド回路9からの出力信号UD0が出力信号JEX及びアンド回路11への入力信号となる。

[0048] 他の回路構成については、図2に示した回路構成と同様である。すなわち、12ビットダウンカウンタ7は、図4に示したダウンカウント方式IFカウント部1に対応する。12ビットダウンカウンタ7には、図示しない例えばDIP-SWITCHやレジスタ等で構成される11ビットのIFカウント上限値プリセット部に予め設定されたデータの信号Dと、カウント対象であるIF信号が図示しないリミッタ回路を介しさらに図示しない分周器によって分周されたIF信号CKSと、リセット信号であるRSTとが入力される。

[0049] リセット信号RSTが入力されると図示しないDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定されているデータが信号Dを介して12ビットダウンカウンタ7にセットされる。12ビットダウンカウンタ7は、上記セットされたIFカウント上限値を初期値としてIF信号CKSに従ってダウンカウントを行なう。

[0050] ここで、上記分周器での分周比は例えば $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/36$ 等を選択的に使用する。また、タイムベースは必要に応じて4mS～32mS程度となるように設定する。

[0051] アンド回路9及び11は、図4に示す判定部14に対応する。アンド回路9は、12ビット

トダウンカウンタ7の上位5ビットのデータQ[11:7]が入力され各ビットが全て"0"の場合に出力信号UD0として"1"を出力する。アンド回路11に対して、アンド回路9からの出力信号UD0及び12ビットダウンカウンタ7の最上位ビットのデータQ[11]が入力されることによって、信号Q[11]が"1"の場合には出力信号JUXとして"1"が出力され(図3に示す(3)の区間)、信号UD0が"1"の場合には出力信号JEXとして"1"が出力され(図3に示す(2)の区間)、信号JUXが"0"かつ信号JEXが"0"の場合には出力信号JLXとして"1"が出力される(図3に示す(1)の区間)。

[0052] RSフリップフロップ12への入力信号である入力信号J__SRは、図示しないIFカウント期間生成回路から出力される信号であり、リセット信号RSTに同期してカウント期間の開始を指示する信号である。また、入力信号IF__LAは、図示しないIFカウント期間生成回路から出力される信号であり、タイムベース信号TBXに同期してカウント期間の終了を指示する信号である。

[0053] 信号IF__LAに"0"が入力され、かつJ__信号SRに"1"入力される(すなわち、図示しないIFカウント期間生成回路で生成されるIFカウント期間を示す信号TBXがOFFとなり、タイムベース期間の終了を示す信号IF__LAがONとなる)と出力信号QNに"1"が出力される。出力レジスタ13は、入力信号QNから"1"が入力されると信号JEX、JLX、JUXをそれぞれ出力信号JE、JL、LUとして出力する。

[0054] 以上により、IF信号CKSが図示しないDIP-SWITCHやレジスタ等で構成されるIFカウント上限値プリセット部に設定された上限値より大きい場合には出力信号(JE, JL, LU)が(0, 0, 1)となり、上限値とIFカウント上限値プリセット部に基づく下限値との間にある場合には出力信号(JE, JL, JU)が(1, 0, 0)となり、下限値以下の場合には出力信号(JE, JL, JU)が(0, 1, 0)となる。

[0055] 以上の構成によって第1の実施例に示した回路構成によるIFカウンタよりもさらに回路規模を小さくすることが可能となる。

以上のように、本発明のいずれの態様によっても、従来より小さな回路構成によってIFカウンタを実現するIFカウント方式を提供することが可能となる。

請求の範囲

- [1] 所定の期間についてIF信号をカウントするIFカウンタのカウント方式であって、
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理と、
前記IF信号をカウントする期間を生成するIFカウント期間生成処理と、
該IFカウント期間生成処理によって生成された期間内に前記上限値プリセット部で
設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式
IFカウント処理と、
所望のカウント値の上限値と下限値との差の情報を与えるIFカウント上下限值差プ
リセット処理と、
該IFカウント上下限值差プリセット処理に与えられたIFカウント上下限值差の情報
と前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第一の情報とを
比較する比較処理と、
前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第二の情報と前
記比較処理による比較結果の情報とからカウント値が前記所望の上限値及び下限値
の範囲内にあるかを判定する判定処理とを有することを特徴とするIFカウント方式。
- [2] $n > m$ の関係を有する1以上の整数 m 、 n において、前記第一の情報は前記ダウン
カウント方式IFカウント処理による $n+1$ ビットで構成されるカウント情報の下位 m ビット
の情報であり、前記第二の情報は前記カウント情報の上位 $n+1-m$ ビットであることを
特徴とする請求項1に記載のIFカウント方式。
- [3] 前記IF信号は、分周比 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ のいずれか1つを選択
的に使用して分周されたIF信号であることを特徴とする請求項1に記載のIFカウント
方式。
- [4] 所定の期間についてIF信号をカウントするIFカウンタであって、
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット処理
と、
前記IF信号をカウントする期間を生成するIFカウント期間生成処理と、
該IFカウント期間生成処理によって生成された期間内に前記上限値プリセット処理

で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント処理と、

前記ダウンカウント方式IFカウント処理によるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウント方式。

- [5] 所定の期間についてIF信号をカウントするIFカウンタであって、
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、
前記IF信号をカウントする期間を生成するIFカウント期間生成部と、
該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、

所望のカウント値の上限値と下限値との差の情報を与えるIFカウント上下限值差プリセット部と、

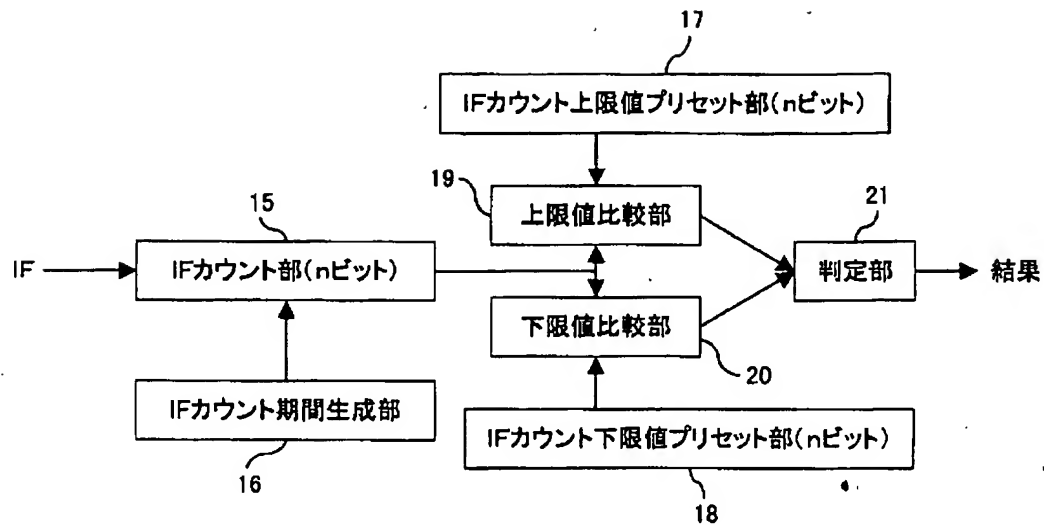
該IFカウント上下限值差プリセット部に設定された情報と前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報とを比較する比較部と、

前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第二の情報と前記比較部の比較結果の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタ。

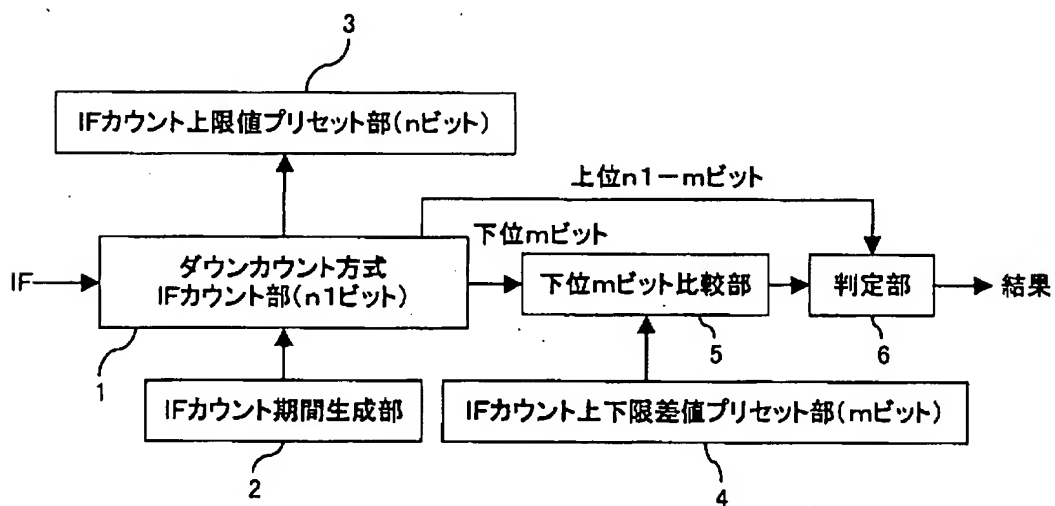
- [6] 所定の期間についてIF信号をカウントするIFカウンタであって、
カウント開始の初期値として所望のカウント値の上限を与える上限値プリセット部と、
前記IF信号をカウントする期間を生成するIFカウント期間生成部と、
該IFカウント期間生成部によって生成された期間内に前記上限値プリセット部で設定された初期値から前記IF信号に応じてダウンカウントを行なうダウンカウント方式IFカウント部と、

前記ダウンカウント方式IFカウント部におけるカウント情報に基づく第一の情報と第二の情報とからカウント値が前記所望の上限値及び下限値の範囲内にあるかを判定する判定部とを有することを特徴とするIFカウンタ。

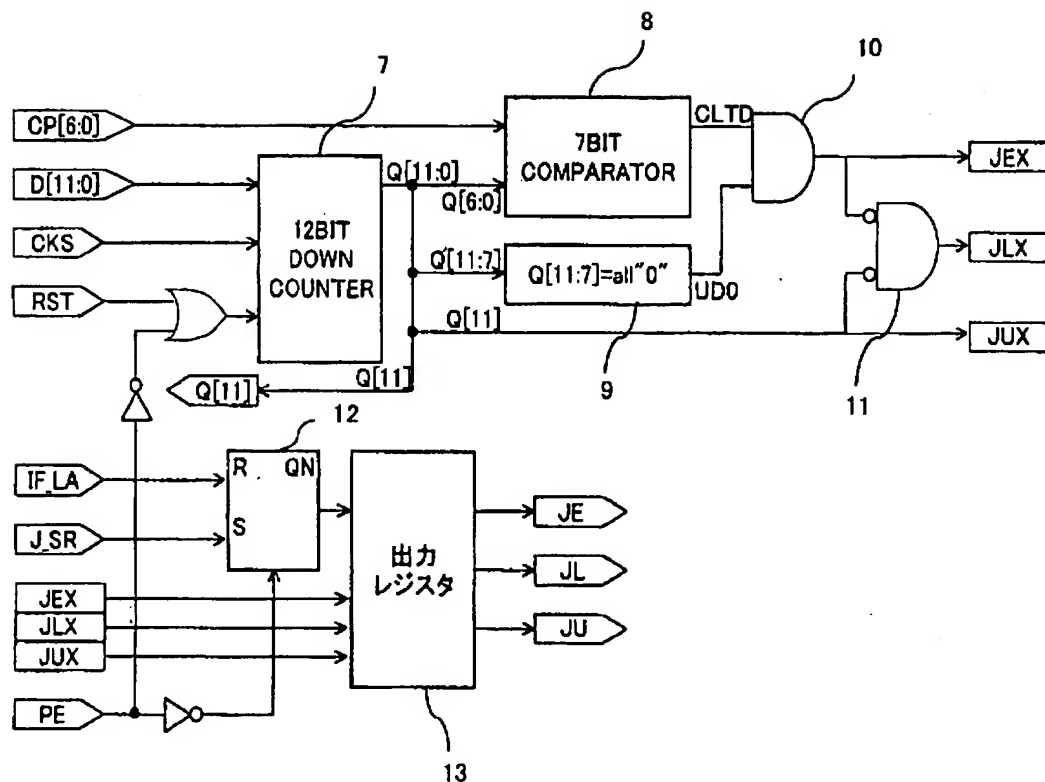
[図1A]



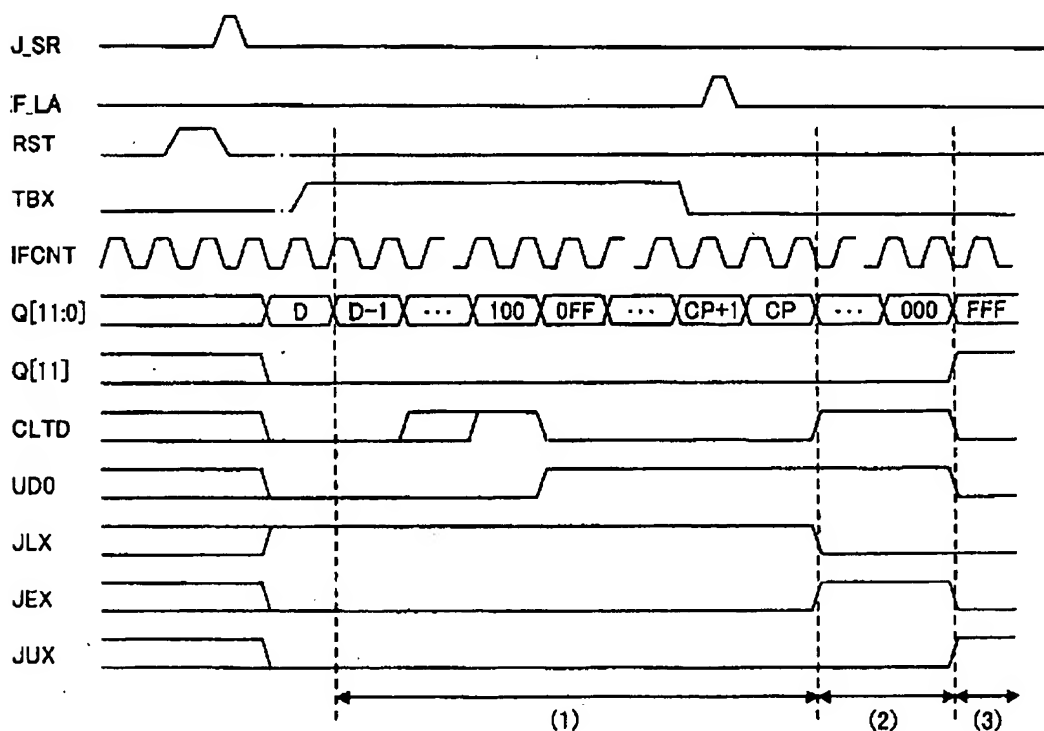
[図1B]



[図2]



[図3]



[図4]

